

DIALOG(R)File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

03921239 \*\*Image available\*\*  
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 04-286339 [JP 4286339 A]  
PUBLISHED: October 12, 1992 (19921012)  
INVENTOR(s): OKA HIDEAKI  
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or  
Corporation) , JP (Japan)  
APPL. NO.: 03-051258 [JP 9151258]  
FILED: March 15, 1991 (19910315)

#### ABSTRACT

PURPOSE: To provide an element structure for the  $V_{th}$  control of a poly-Si TFT to be formed on the multilayered part of the three dimensional IC and the provide a method of manufacturing semiconductor devices having the structure.

CONSTITUTION: An insulated gate semiconductor device is provided with at least a polycrystalline semiconductor layer 208 including a channel region doped with the impurities such as boron and mainly containing silicon, gate insulating films 204, 207, 209, gate electrode 205, 210 having sidewall 211 and source drain regions 212 formed on the polycrystalline semiconductor layer 208. A self-aligned TFT of an offset structure can be formed while another TFT exhibiting high performances of a high mobility and a high ON/OFF ratio can be formed on the multilayered part of the three dimensional IC.

(51) Int.Cl.<sup>3</sup>

H 0 1 L 21/336

29/784

27/00

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 P 8418-4M

9056-4M

7342-4M

H 0 1 L 29/ 78

27/ 08

3 1 1 Z

3 2 1 G

審査請求 未請求 請求項の数9(全 7 頁) 最終頁に続く

(21) 出願番号

特願平3-51258

(22) 出願日

平成3年(1991)3月15日

(71) 出願人

000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者

岡秀明

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74) 代理人

弁理士 鈴木 喜三郎 (外1名)

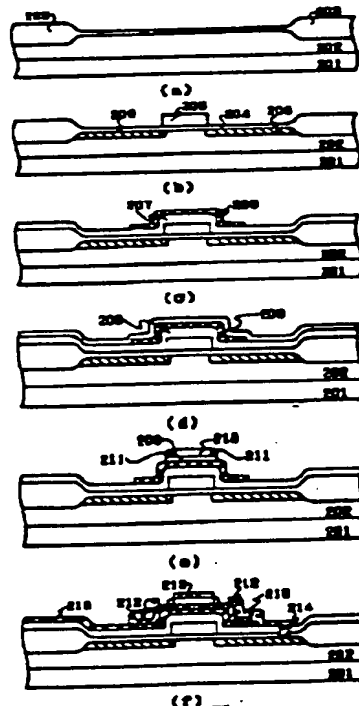
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 三次元ICの積層部に形成するpoly-Si TFTのV<sub>th</sub>制御のための素子構造及び製造プロセスを提供する。

【構成】 絶縁ゲート型半導体装置において、シリコンを主体としボロン等の不純物をドーピングしたチャンネル領域を含む多結晶半導体層、ゲート絶縁膜、サイドウォールを有するゲート電極、該多結晶半導体層上に形成されたソース・ドレイン領域を少なくとも有する。

【効果】 オフセット構造を有するセルフアライン型TFTを低温形成でき、高移動度でオンオフ比の高い高性能なTFTを三次元ICの積層部に形成できる。



## 【特許請求の範囲】

【請求項1】 絶縁ゲート型半導体装置のチャンネル領域がシリコンを主体とする多結晶半導体で形成された半導体装置において、チャンネル領域を含むシリコンを主体とし、ボロン等の不純物をドーピングした多結晶半導体層、ゲート絶縁膜、サイドウォールを有するゲート電極、該チャンネル領域を含むシリコンを主体とする多結晶半導体層の少なくとも一部の領域上に形成されたソース・ドレイン領域を成す薄膜を少なくとも有することを特徴とする半導体装置。

【請求項2】 前記半導体装置が三次元ICの積層部の素子として形成されたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記チャンネル領域を成すシリコンを主体とする多結晶半導体層の膜厚が50Å～250Åであることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記多結晶半導体層の結晶化率が99.5%以上であることを特徴とする請求項1から請求項3記載の半導体装置。

【請求項5】 前記ソース・ドレイン領域を成す薄膜が不純物をドーピングした多結晶シリコンより成ることを特徴とする請求項1から請求項4記載の半導体装置。

【請求項6】 前記不純物をドーピングした多結晶シリコン層の抵抗率が $5 \times 10^{-4} \Omega \cdot \text{cm}$ 以下であることを特徴とする請求項5記載の半導体装置。

【請求項7】 絶縁ゲート型半導体装置のチャンネル領域がシリコンを主体とする多結晶半導体で形成された半導体装置の製造方法において、チャンネル領域を含むシリコンを主体とし、ボロン等の不純物をドーピングした多結晶半導体層を形成する工程、ゲート絶縁膜を形成する工程、ゲート電極及び該ゲート電極側壁のサイドウォールを形成する工程、該チャンネル領域を含むシリコンを主体とする多結晶半導体層の少なくとも一部の領域上に選択的にソース・ドレイン領域を成す薄膜を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項8】 前記ソース・ドレイン領域を成す薄膜を形成する工程において、前記薄膜が少なくともサイドウォール上には成膜しない条件で選択的に成膜することを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 チャンネル領域を含むシリコンを主体とする多結晶半導体層を、弗素、塩素の内の少なくとも一方の元素を含むガスを少なくとも用い、更にジボラン等のドーピングガスを添加し、前記ガスをプラズマ状に励起分解し、成膜する工程を少なくとも有することを特徴とする請求項7から請求項8記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に係わり、特に、絶縁性非晶質材料上の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体素子の高集積化が進み、4MDRAM、1MSRAM等の量産や16M、64MDRAM、4MSRAM等の開発・試作が進められている。今後、これらの半導体素子の高密度化が更に進むにつれて、三次元構造の半導体素子実現に対する期待が更に高まるものと予想される。SRAMを例にとると、4M以上のSRAMでは、メモリーセルに高抵抗poly-Siを用いた4-T型のSRAMやシリコン基板上にnチャンネルとpチャンネルのMOSFETを形成した6-T型のSRAMに代わり、積層CMOS構造のSRAMが検討、試作されている。積層CMOS構造では、シリコン基板上にnチャンネルMOSFETが形成され、絶縁材料を挟んでpチャンネルpoly-SiTFTが積層された構造になっており、4-T型と6-T型の長所を持ち合わせている。即ち、pチャンネルをpoly-SiTFTで形成し、積層構造とすることで4-T型とほぼ同じセルサイズでCMOS構造を実現でき、高集積性、ソフトエラー耐性、低消費電力性等に優れたSRAMが実現できる。

【0003】

【発明が解決しようとする課題】 しかし、従来のpoly-SiTFTの構造及び製造方法では、以下に述べる問題があった。(1) 550℃～650℃程度のアニールを数時間～数十時間行う必要があるため、スループットが低い。(2) 550℃～650℃程度の固相成長アニールを行っただけでは、多結晶シリコンの結晶化率等の結晶性を十分に向上させることができず、十分なオンオフ比を有するTFTを形成することが困難である。

(3) セルフアライン法でゲート電極をマスクとしてソースドレイン領域を形成するため、ドレイン端での電子・正孔対の生成電流等を原因としたオフリーク電流が発生し、オフ電流を抑えられない等の問題があった。そこで、本発明はより簡便かつ実用的なTFT構造及びその製造方法で、結晶性の高い多結晶シリコンを再現性良く形成し、高移動度でオンオフ比が大きいpoly-SiTFTを形成する素子構造及びその製造方法を提供するものである。

【0004】

【課題を解決するための手段】 本発明の半導体装置は、

1) 絶縁ゲート型半導体装置のチャンネル領域がシリコンを主体とする多結晶半導体で形成された半導体装置において、チャンネル領域を含むシリコンを主体とし、ボロン等の不純物をドーピングした多結晶半導体層、ゲート絶縁膜、サイドウォールを有するゲート電極、該チャンネル領域を含むシリコンを主体とする多結晶半導体層の少なくとも一部の領域上に形成されたソース・ドレイン

3

ン領域を成す薄膜を少なくとも有することを特徴とする。

【0005】2) 前記半導体装置が三次元ICの積層部の素子として形成されたことを特徴とする。

【0006】3) 前記チャンネル領域を成すシリコンを主体とする多結晶半導体層の膜厚が50Å~250Åであることを特徴とする。

【0007】4) 前記多結晶半導体層の結晶化率が99.5%以上であることを特徴とする。

5) 前記ソース・ドレイン領域を成す薄膜が不純物をドーピングした多結晶シリコンより成ることを特徴とする。

【0008】6) 前記不純物をドーピングした多結晶シリコン層の抵抗率が $5 \times 10^{-4} \Omega \cdot \text{cm}$ 以下であることを特徴とする。

【0009】本発明の半導体装置の製造方法は、

7) 絶縁ゲート型半導体装置のチャンネル領域がシリコンを主体とする多結晶半導体で形成された半導体装置の製造方法において、チャンネル領域を含むシリコンを主体とし、ボロン等の不純物をドーピングした多結晶半導体層を形成する工程、ゲート絶縁膜を形成する工程、ゲート電極及び該ゲート電極側壁のサイドウォールを形成する工程、該チャンネル領域を含むシリコンを主体とする多結晶半導体層の少なくとも一部の領域上に選択的にソース・ドレイン領域を成す薄膜を形成する工程を少なくとも有することを特徴とする。

【0010】8) 前記ソース・ドレイン領域を成す薄膜を形成する工程において、前記薄膜が少なくともサイドウォール上には成膜しない条件で選択的に成膜することを特徴とする。

【0011】9) チャンネル領域を含むシリコンを主体とする多結晶半導体層を、弗素、塩素の内の少なくとも一方の元素を含むガスを少なくとも用い、更にジボラン等のドーピングガスを添加し、前記ガスをプラズマ状に励起分解し、成膜する工程を少なくとも有することを特徴とする。

【0012】

【実施例】(実施例1) 図1は、本発明の実施例における半導体装置の断面図の一例である。図1では、3次元トランジスタへの簡単な応用例(スタック型CMOS)を示す。

【0013】図1において、101はシリコン基板、102はp-well領域、103は素子分離領域、104はゲート絶縁膜、105はゲート電極、106はソース・ドレイン領域を成すn<sup>+</sup>拡散層、107はゲート絶縁膜、108は多結晶シリコン層、109はゲート絶縁膜、110は上部ゲート電極、111はサイドウォール、114はコンタクトホール、112は多結晶シリコン上の低抵抗薄膜(ソース・ドレイン領域となる)、113はゲート電極上の低抵抗薄膜、115は配線である。本発明のpoly-Si TFTは、サイドウォールを用いたセルフアライン型の構造を有することを特徴

4

とし、ソース・ドレイン領域を選択的に成膜する構造を特徴とする。本発明では、ソース・ドレイン領域とゲート電極の短絡をサイドウォールで防ぐことができ、同時にサイドウォールにより、オフセット構造を形成できるため、ドレイン端での電子・正孔対の生成電流やField-Enhanced-Emission電流等を原因としたオフリーク電流を抑制し、充分なオンオフ比が得られる。又、図1では、多結晶シリコン層108が、ゲート絶縁膜を介して上下2つのゲート電極105、110によって挟まれたダブルゲート構造を例としている。この様なダブルゲート構造を採用し、多結晶シリコン層の膜厚を250Å以下、望ましくは150Å以下とすることで、オン電流が飛躍的に増加し、ゲート長1.2μm、ゲート幅0.6μmのPチャンネルトランジスタでドレイン電圧3V、ゲート電圧3Vの時のオン電流として、約 $1 \times 10^{-4}$ Aが得られた。更に、本発明のオフセットゲート構造を採用することで、オフ電流も低減され、ゲート長1.2μm、ゲート幅0.6μmのPチャンネルトランジスタでドレイン電圧0V、ゲート電圧0Vの時のオフ電流を $1 \times 10^{-11}$ A以下に抑えることができた。その結果、8ケタ以上オンオフ比が得られた。尚、上部電極のオフセット構造を有効に機能させるためには、下部電極端が上部電極のオフセット領域よりも内側にはいることが重要である。従って、下部電極のゲート長は上部電極と同程度にするか、それよりも狭く設計することが望ましい。

【0014】図2は、本発明の実施例における半導体装置の製造工程図の一例である。尚、図2では3次元トランジスタへの簡単な応用例(スタック型CMOS)を示す。

【0015】図2において、(a)は、シリコン基板201にp-well領域202を形成し、LOCOS酸化法で素子分離領域203を形成する工程である。

【0016】(b)は、ゲート絶縁膜204を形成後、ゲート電極205をpoly-Si等を素子材とし形成後、所定の形状にパターン形成し、ソース・ドレイン領域を成すn<sup>+</sup>拡散層206を形成する工程である。

【0017】(c)は、ゲート絶縁膜207を形成し、多結晶シリコン層208を形成し、所定の形状にパターン形成する工程である。ゲート絶縁膜の形成方法としては、CVD法、プラズマCVD法、ECR-PCVD法、光CVD法、スパッタ法等で低温成膜する方法が、シリコン基板上に形成した素子の不純物の再分布等を防ぐ目的からして望ましい。次に、多結晶シリコン層の形成方法としては、プラズマCVD法(PCVD法)で基板温度300℃~450℃程度の低温で多結晶シリコンを膜厚50Å~1500Å程度成膜する方法が有効である。反応ガスとして、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>等に加えて、弗素(F)、塩素(Cl)等の元素を含む反応ガスを適量混合することで、高品質な多結晶シリコン膜を低温形成できる。成膜条件の一例を以下に示す。反応ガスとして、

SiH<sub>4</sub>、ジクロルシラン (SiH<sub>2</sub>Cl<sub>2</sub>)、H<sub>2</sub>を用い、混合比を例えば、SiH<sub>4</sub>:SiH<sub>2</sub>Cl<sub>2</sub>=1:20~1:200程度、SiH<sub>4</sub>:H<sub>2</sub>=1:100~1:1000程度に設定し、基板温度を300℃~450℃程度に保持し、rfパワーを印加し、反応ガスを分解し多結晶シリコンを成膜する。膜厚に関しては、多結晶シリコン層を薄膜化すると、オフ電流が減少し、V<sub>th</sub> (しきい値電圧) が減少する現象が知られている。従って、多結晶シリコン層の膜厚は500Å以下が望ましく、50Å~250Å程度が特に望ましい。従って、この様な薄膜でかつ高品質な多結晶シリコンを形成することが特に重要となる。基板温度が300℃以下の場合には、結晶化率が低く、〈220〉配向性も見られないが、基板温度を400℃~450℃程度にすると50Å~250Å程度の薄膜でも、結晶化率98%以上で〈220〉に配向した高品質な多結晶シリコンを成膜することができる。尚、結晶化率を上げるという点では、基板温度は450℃~600℃程度で成膜した膜のほうがさらに良好で、99.5%以上の結晶化率を達成でき、TFTのオン電流の増大及びオフ電流の低減に有効である。この様に、本発明によれば、低温で高品質の多結晶シリコン膜を形成できるため、本実施例に示したスタック型CMOSを始め、高性能な3次元ICを低温で製造することができる。尚、本実施例では反応ガスとして、SiH<sub>2</sub>Cl<sub>2</sub>を用いる場合を示したが、これに限定されるものではない。例えばSiCl<sub>4</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、Cl<sub>2</sub>、SiF<sub>4</sub>、SiHF<sub>3</sub>、SiH<sub>2</sub>F<sub>2</sub>、SiH<sub>3</sub>F、Si<sub>2</sub>F<sub>6</sub>、F<sub>2</sub>、HCl等のF (弗素) もしくはCl (塩素) のうちの少なくとも一方の元素を含むエッチング性を有する反応ガスとSiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、Si<sub>3</sub>H<sub>8</sub>等の反応ガスを適量混合することで、高品質な多結晶シリコンを低温で成膜することができる。

【0018】又、チャンネル領域に不純物をドーピングして、V<sub>th</sub> (しきい値電圧) を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコンTFTでは、Nチャンネルトランジスタがデプレッション方向にV<sub>th</sub>がシフトし、Pチャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記TFTを水素化した場合、その傾向がより顕著になる。そこで、チャンネル領域に10<sup>13</sup>~10<sup>19</sup>/cm<sup>3</sup>程度の不純物をドーピングすると、V<sub>th</sub>のシフトを抑えることができる。そこで、SiH<sub>4</sub>及びSiH<sub>2</sub>Cl<sub>2</sub>等の塩素もしくは弗素を含むガスに加えて、B<sub>2</sub>H<sub>6</sub>等のドーピングガスを混入することで、イオンインプラを用いずにチャンネルドーピングを行なうことができる。成膜条件の一例としては、SiH<sub>4</sub>+SiH<sub>2</sub>Cl<sub>2</sub>:B<sub>2</sub>H<sub>6</sub>=1:0.1ppm~0.1%程度混入することで、V<sub>th</sub>制御が可能となる。特に、ドーピング量を最適化することで、Pチャンネルトランジスタ、Nチャンネルトランジ

スタ共オフ電流が最小になるように、V<sub>th</sub>を制御することができる。従って、CMOS型のTFT素子を形成する場合においてもPch、Nchを選択的にチャンネルドーピングせずに、チャンネル部をなす多結晶シリコンの成膜工程のみで、Pch、Nch共、V<sub>th</sub>の制御が可能である。

【0019】(d)は、ゲート絶縁膜209を形成する工程である。ゲート絶縁膜の形成方法としては、CVD法、プラズマCVD法、ECR-PCVD法、光CVD法、スパッタ法等で低温成膜する方法が、シリコン基板上に形成した素子の不純物の再分布等を防ぐ目的からして望ましい。

【0020】(e)は、上部ゲート電極210を形成後、サイドウォール211を形成する工程である。まず、ゲート電極210を不純物をドーピングした多結晶シリコンで形成し、所定の形状にパターン形成する。多結晶シリコン層の形成方法としては、プラズマCVD法 (PCVD法) で基板温度300℃~450℃程度の低温で多結晶シリコンを膜厚500Å~4000Å程度成膜する方法がある。尚、本実施例では多結晶シリコン層をゲート絶縁膜を介して上部ゲート電極と下部ゲート電極で挟んだダブルゲート構造のTFTを例としている。以下に、成膜条件の一例を示す。反応ガスとして、モノシラン (SiH<sub>4</sub>)、ジクロルシラン (SiH<sub>2</sub>Cl<sub>2</sub>)、H<sub>2</sub>を用い、混合比を例えば、SiH<sub>4</sub>:SiH<sub>2</sub>Cl<sub>2</sub>=1:20~1:200程度、SiH<sub>4</sub>:H<sub>2</sub>=1:100~1:1000程度に設定し、ドーピングガスとして、ジボラン (B<sub>2</sub>H<sub>6</sub>) またはホスフィン (PH<sub>3</sub>)、アルシン (AsH<sub>3</sub>) 等を用い、例えば、SiH<sub>4</sub>:PH<sub>3</sub>=1:0.002~1:0.04程度の混合比で混合する。基板温度を300℃~450℃程度に保持し、rfパワーを印加し反応ガスを分解し、不純物をドーピングした低抵抗多結晶シリコンを成膜する。この様に形成された多結晶シリコンのシート抵抗は2000Åの膜厚で30~50Ω/□であり、低抵抗な多結晶シリコンを低温で成膜することができる。尚、多結晶シリコンの形成方法はこれに限定されるものではない。続いて、サイドウォール211を形成する。常圧CVD法、スパッタ法、プラズマCVD法、ECR-PCVD法等で、SiO<sub>x</sub>、SiN<sub>x</sub>等の絶縁膜を500Å~3000Å程度形成し、異方性エッチングで該絶縁膜をエッチングし、サイドウォール211を形成する。

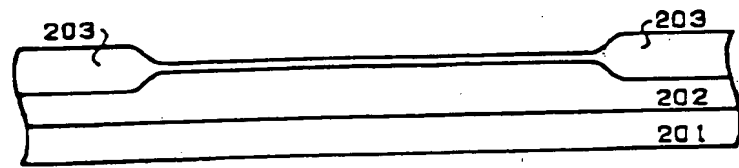
【0021】(f)は、層間絶縁膜207にコンタクトホール214を開け、低抵抗薄膜を多結晶シリコン上212 (ソース・ドレイン領域となる) とゲート電極上213とコンタクトホール内に選択的に成膜し、続いて、結晶粒界に存在する欠陥を低減する目的で、水素ガス等を少なくとも含む気体のプラズマ雰囲気中にさらす等の方法で水素化し、配線215を形成する工程である。本実施例では、不純物をドーピングした多結晶シリコンを、ソース・ドレイン

【0022】尚、本発明は、図1及び図2の実施例に示

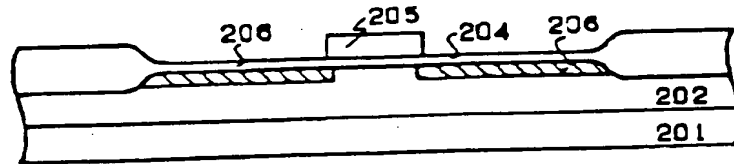
101	...	絶縁性非晶質材料
102, 208	...	多結晶シリコン層
103, 204, 207, 209	...	ゲート絶縁膜
104, 205, 210	...	ゲート電極
105, 211	...	サイドウォール
106, 212	...	ソース・ドレイン領域
108	...	層間絶縁膜
109	...	コンタクト穴
110	...	配線
201	...	シリコン基板
203	...	素子分離領域

[illegible]

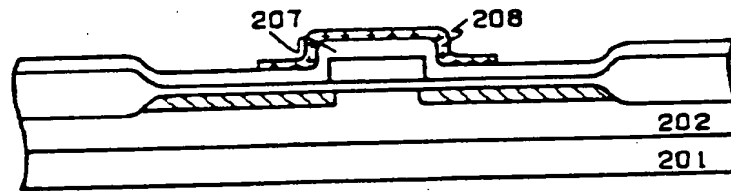
【図2】



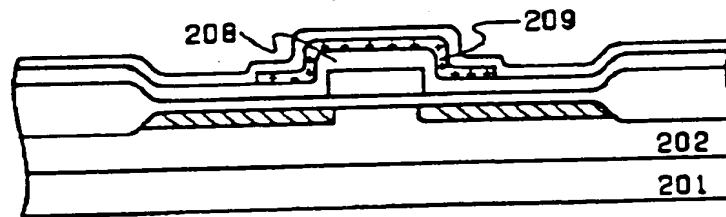
(a)



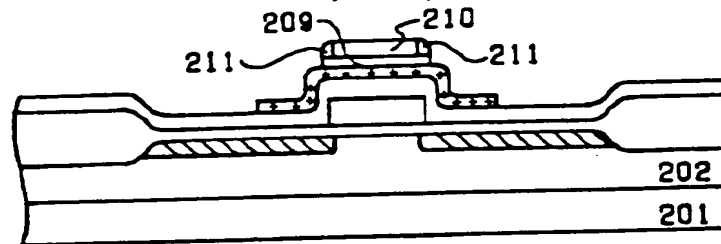
(b)



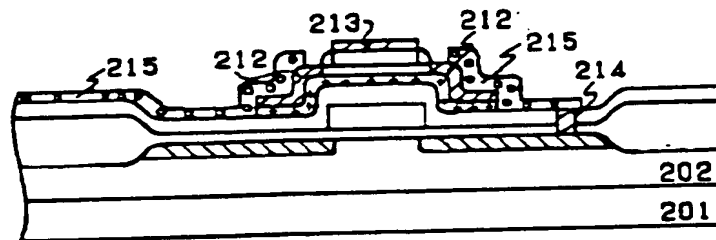
(c)



(d)



(e)



(f)

フロントページの続き

(51) Int. Cl. <sup>3</sup>

H 0 1 L 27/092

27/11

識別記号

庁内整理番号

F I

技術表示箇所

8728 -4M

H 0 1 L 27/10

3 8 1